



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000025200 (43) Publication.Date. 20000506

(21) Application No.1019980042180 (22) Application Date. 19981009

(51) IPC Code:

H01L 27/08

H01L 29/784

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

KIM, BYEONG MAN

KIM, JEONG U

LEE, JO WON

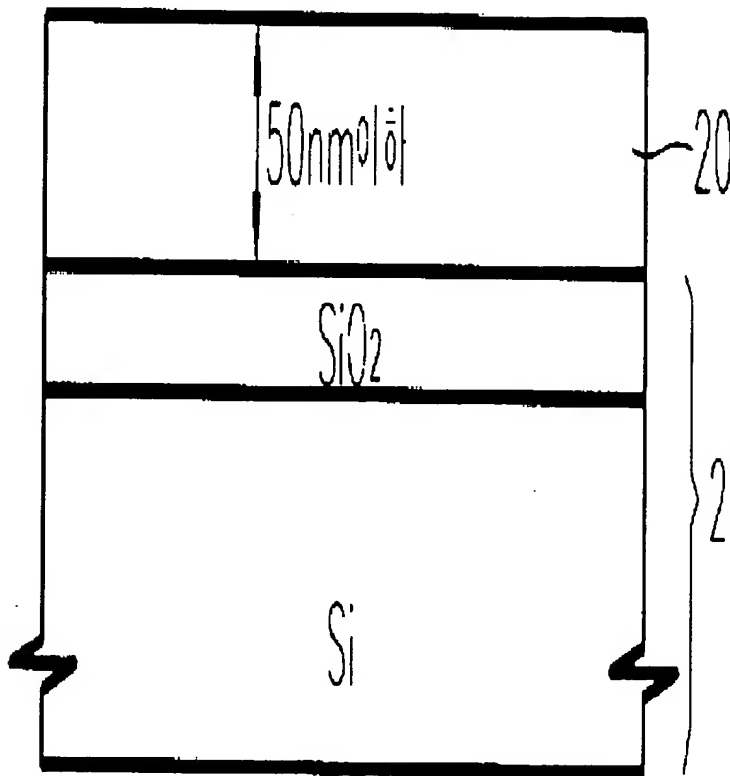
(30) Priority:

(54) Title of Invention

SINGLE ELECTRON TRANSISTOR AND METHOD FOR FABRICATING THE SAME

Representative drawing

(57) Abstract:



PURPOSE: A method for fabricating a single electron transistor is provided to improve a reliability by forming crystallization grains of a unit having a granular shape below 5nm at an oxidation film after forming the oxidation film width having a several-ten nm.

CONSTITUTION: In a method for fabricating a single electron transistor, a metal thin film of predetermined thickness is formed on a semiconductor substrate on which an insulating layer is formed. a metal pattern for a device formation is formed by patterning the metal thin film. A predetermined width at a center of the metal pattern for the device formation is oxidized. Islands(25) of a predetermined size are formed on the metal oxidation layer(24). The metal oxidation layer has a width below a several-ten nm. A thickness and a size of each island are 10nm and 5nm, respectively, and an interval between the islands(25) is below about 5nm. Each of the islands has a granular shape.

COPYRIGHT 2000 KIPO

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

H01L 27 /08

H01L 29 /784

(11) 공개번호

특2000-0025200

(43) 공개일자

2000년05월06일

(21) 출원번호	10-1998-0042180
(22) 출원일자	1998년 10월 09일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 이조원 경기도 수원시 팔달구 매탄동 현대아파트 101동 104호 김병만 경기도 안양시 만안구 박달동 금호타운아파트 103동 1802호 김정우 경기도 성남시 분당구 분당동 38 셋별우방아파트 307동 605호V
(74) 대리인	권석훈, 이영필, 이상용

심사청구 : 없음

(54) 산화공정을 이용한 단일전자 트랜지스터 및 그 제조방법

요약

본 발명은 금속 혹은 반도체 세선(wire)에 SPM(scanning probe microscopy)을 이용하여 수십nm 폭의 산화막을 형성하는 나노미터 단위의 산화 공정을 이용한 단일전자 트랜지스터 및 그 제조 방법에 관한 것이다. 본 발명에 따른 단일전자 트랜지스터는 리프트-오프(Lift-off) 공정이나 식각(etching) 공정을 통해 얻은 금속 혹은 반도체 박막 세선(wire)에(패턴에) SPM(scanning probe microscopy)을 이용하여 수십nm 폭의 산화막을 형성한 후 그 산화막에 5 nm 이하의 알갱이(granular) 모양의 nm 단위의 결정립 들을 형성시켜 단일전자 트랜지스터를 제조함으로써, 이 들 nm 단위의 결정립들이 단일전자 트랜지스터의 아일랜드(island)로 작용하여 상온 작동이 가능하며, 제작이 용이하다. 또한, 터널 장벽이 공기이므로 터널 장벽의 열화가 없어 오랫동안 신뢰성 있는 소자로서 작동한다. 더욱이 소스와 드레인 사이를 수십 nm 크기로 제어할 수 있어 수십 마이크로 암페어 의 비교적 큰 전류값을 얻을 수 있다.

대표도

도3c

명세서

도면의 간단한 설명

도 1a 및 도 1b는 각각 종래의 단일전자 트랜지스터의 개략적인 수직 단면도,

도 2는 본 발명에 따른 단일전자 트랜지스터의 개략적인 수직 단면도,

도 3a 내지 도 3c는 도 2의 단일전자 트랜지스터의 제조 단계별 공정후의 수직 단면도,

도 4은 본 발명에 따른 또 다른 단일전자 트랜지스터의 개략적인 수직 단면도,

그리고 도 5a 내지 도 5d는 도 4의 단일전자 트랜지스터의 제조 단계별 공정후의 수직 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

- | | |
|----------------------------|--------------------------|
| 1. Si/SiO ₂ 기판 | 2. 소스 |
| 3. 드레인 | 4. 아일랜드 |
| 5. 터널 장벽 | |
| 11. SOI 기판 | 12. 소스 |
| 13. 드레인 | 14. 금속 입자(아일랜드) |
| 15. 유전체 | 20. 금속 |
| 21. Si/SiO ₂ 기판 | 22. 소스 |
| 23. 드레인 | 24. 금속 산화물 |
| 25. 아일랜드 | |
| 31. SOI 기판 | 32. 소스 |
| 33. 드레인 | 34. SiO ₂ 절연막 |
| 35. 아일랜드 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 리프트-오프(Lift-off) 공정이나 식각(etching) 공정을 통해 얻은 금속 혹은 반도체 세선(wire)에 SPM(scanning probe microscopy)을 이용하여 수십nm 폭의 산화막을 형성하는 나노미터 단위의 산화 공정을 이용한 단일전자 트랜지스터 및 그 제조 방법에 관한 것이다.

도 1a 및 도 1b는 종래의 단일 전자 트랜지스터들의 개략적 수직 단면도이다. 종래의 단일 전자 트랜지스터는, 도 1a에 도시된 바와 같이, 임의의 두께의 SiQ 절연막(1b)를 갖는 실리콘 기판(1a) 상에 소스(source)(2)와 드레인(drain)(3) 사이에 2개의 터널 장벽(tunnel barrier)(5)을 만들어 아일랜드(island)(4)를 형성시킨 구조이거나, 혹은 도 1b에 도시된 바와 같이, 임의의 두께의 SiQ 절연막(11b)를 갖는 실리콘 기판(11a) 상에 소스(12)와 드레인(13)을 형성한 후, 유전체(15) 속에 금속이나 반도체를 물리적(예, PVD) 혹은 화학적(예, CVD) 증착을 통해 나노미터(nm) 크기인 알갱이(granular) 모양의 아일랜드(14)를 형성시킨 구조이다.

그러나, 참고 문헌 T.Wada et al Jpn.J.Appl.Phys 34,12B(1995)6961에 따르면, 도 1a에 도시된 바와 같은 단일 전자 트랜지스터의 경우 아일랜드(15)의 크기를 나노미터 크기로 균일하게 제어하는 것이 매우 어렵다. 특히, 전자빔 리소그래피(E-beam lithography) 공정을 이용시 터널장벽을 형성키 위해 많은 공정을 거쳐야 하며 상온에서 작동하는 아일랜드의 크기를 제어하는 것은 거의 불가능하다. 특히, K.Matsumoto et al Appl.Phys.Lett 68(1996)34에 따르면, SPM(scanning probe microscopy)을 응용할 경우 터널 장벽이 공기중에서 열화되기 때문에 단일 전자 트랜지스터의 작동 재현성이 전혀없다. 그리고 참고문헌 W.Chen et al Appl.Phys.Lett 66(1995)3383 및 A.Dutta et al Jpn.J.Appl.Phys 36,6B(1997)4038에 의하면, 도 1b에 도시된 바와 같은 단일 전자 트랜지스터의 경우, 아일랜드(14)의 숫자를 결정하는 소스(12)와 드레인(13) 사이의 폭을 재현성 있게 제어하기도 어렵고 공정 자체도 복잡하여 제조상 어려움이 따른다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 개선하고자 창안된 것으로, 금속 혹은 반도체 세션(wire)에 SPM(scanning probe microscopy)을 이용하여 수십nm 폭의 산화막을 형성한 후 그 산화막에 5 nm 이하의 알갱이(granular) 모양의 nm단위의 결정립 들을 형성시킴으로써 재현성 있는 단일전자 트랜지스터 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 단일전자 트랜지스터는, 반도체 기판; 상기 반도체 기판 상에 적층된 절연층; 상기 절연층 상에 소정 두께 이하의 금속박막으로 형성된 소스 및 드레인; 상기 절연층 상의 상기 소스 및 드레인 사이에 소정의 폭을 갖도록 형성된 금속 산화물층; 상기 금속 산화물층 상에 형성된 소정 크기의 아일랜드들;을 구비하여 된 것을 특징으로 한다.

본 발명에 있어서, 상기 반도체 기판은 Si 기판이고, 상기 절연층은 SiO₂로 형성되며, 상기 금속박막은 50 nm 이하의 두께로 형성되며, 상기 금속 산화물층은 수십 nm 이하의 폭으로 형성되며, 상기 아일랜드의 두께 및 크기는 각각 10nm 및 5 nm 이하이고 아일랜드 간의 간격이 5nm 이하인 것이 바람직하다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 단일전자 트랜지스터의 제조 방법은, (가) 절연층이 형성된 반도체 기판 상에 소정 두께 이하의 금속박막을 증착하고 패터닝하여 소자 형성용 금속 패턴을 형성하는 단계; (나) 상기 소자 형성용 금속 패턴의 중앙부에 소정 폭을 산화시키는 금속 산화물층 형성단계; 및 (다) 상기 금속 산화물층 상에 소정 크기의 아일랜드들을 형성하는 단계;를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 반도체 기판은 Si 기판이고, 상기 절연층은 상기 Si 기판 표면을 산화시키거나 Si₃N₄를 증착하여 형성되며, 상기 금속박막은 PVD법 혹은 CVD법으로 50 nm 이하의 두께로 증착하며, 상기 금속 패턴은 식각법 혹은 리프트-오프법으로 형성하며, 상기 금속 산화물층은 상기 금속 박막을 SPM으로 산화시키거나 혹은 리소그래피법을 이용하여 산화제로서 산화시켜 수십 nm 이하의 폭으로 형성하며, 상기 아일랜드는 반도체 혹은 금속을 증착하면서 증착조건을 조절하여 두께 및 크기가 각각 10nm 및 5 nm 이하의 알갱이 모양으로 형성하는 것이 바람직하다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 또 다른 단일전자 트랜지스터는, 반도체 기판; 상기 반도체 기판 상에 적층된 절연층; 상기 절연층 상에 소정 두께 이하의 반도체 박막에 소정 농도의 불순물을 도핑하여 형성된 소

스 및 드레인; 상기 절연층 상의 상기 소스 및 드레인 사이에 소정의 폭을 갖도록 형성된 상기 반도체의 산화물층; 상기 산화물층 상에 형성된 소정 크기의 아일랜드들;을 구비하여 된 것을 특징으로 한다.

본 발명에 있어서, 상기 반도체 기판, 절연층 및 반도체 박막은 $S/SiO_2/Si$ 가 순차로 적층된 SOI 기판으로 형성되고, 상기 반도체 박막은 50 nm 이하의 두께로 형성되며, 상기 소스 및 드레인은 상기 반도체 박막에 n형 혹은 p형 불순물이 $10^{18}/cm^3$ 농도로 도핑되어 형성되며, 상기 반도체 산화물층은 수십 nm 이하의 폭으로 형성되며, 상기 아일랜드의 두께 및 크기는 각각 10nm 및 5 nm 이하이고, 아일랜드 간의 간격이 5nm 이하인 것이 바람직하다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 또 다른 단일전자 트랜지스터의 제조 방법은, 소정값 이하의 두께를 갖는 SOI 기판 상부의 Si층을 패터닝하여 소자 형성용 Si 패턴을 형성하는 단계; 상기 Si 패턴의 소정 영역에 n형 불순물을 확산시켜 소스 및 드레인을 형성하는 단계; 상기 소스 및 드레인 사이에 소정 폭의 Si 패턴을 산화시켜 Si층을 형성하는 단계; 상기 SiO_2 층 상에 소정 크기의 아일랜드들을 형성하는 단계;를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 소스 및 드레인은 상기 Si 패턴의 소정 영역에 p형 불순물을 확산시켜 형성하고, 상기 소스 및 드레인은 상기 Si 패턴의 소정 영역에 n형 혹은 p형 이온을 주입시켜 형성하며, 상기 Si층은 50 nm 이하의 두께로 형성하며, 상기 SiO_2 층은 상기 Si 패턴을 SPM으로 산화시키거나 리소그래피법을 이용하여 산화로 속에서 산화시켜 수십 nm 이하의 폭을 갖도록 형성하며, 상기 아일랜드는 반도체 혹은 금속을 증착하면서 증착 조건을 조절하여 두께 및 크기가 각각 10nm 및 5 nm 이하인 알갱이 모양으로 형성하는 것이 바람직하다.

이하 도면을 참조하면서 본 발명에 따른 단일전자 트랜지스터 및 그 제조 방법을 상세하게 설명한다.

도 2는 본 발명에 따른 단일전자 트랜지스터의 개략적인 수직 단면도이다. 도시된 바와 같이, 본 발명에 따른 단일전자 트랜지스터는, SiO_2 층(21b)이 형성된 Si 웨이퍼 기판(21) 상에 두께 50 nm 이하의 금속 박막으로 이루어진 소스(source)(22)와 드레인(drain)(23)이 구비되고, 그 사이에 동일한 두께의 금속 산화물층(24)이 수십 nm의 폭으로 형성되며, 이 금속 산화물층(24) 상에 나노미터(nm) 크기인 알갱이(granular) 모양의 아일랜드(25)가 형성된 구조이다.

이상과 같은 구조의 단일전자 트랜지스터의 제조 방법은 다음과 같다.

먼저, 표면이 임의의 두께로 산화된 웨이퍼(wafer) 기판(21) 상에 도 3a에 도시된 바와 같이 두께 50 nm 이하의 금속 박막을 물리적(PVD) 혹은 화학적(CVD) 방법으로 증착한 다음, 식각에 의한 패터닝으로 소스, 드레인, 게이트(gate)가 될 금속 패턴(20)을 형성하거나, 혹은 리프트-오프 공정을 통해 표면이 산화된 Si 웨이퍼(21) 상에 50 nm 이하 두께의 금속 박막으로 소스, 드레인 및 게이트가 될 금속 패턴(20)을 형성한다.

다음에, 도 3b에 도시된 바와 같이, 상기 방법들을 통해 형성된 소스와 드레인을 패턴(20) 사이의 중간 위치에 수십nm 폭의 금속 산화막(24)을 SPM(200)에 의해 형성하거나 혹은 리소그래피(lithography) 공정을 통해 산화로(oxidation furnace)에서 수십nm 폭의 산화막(24)을 형성한다.

다음에, 이와 같이 형성된 산화막(24)에, 도 3c에 도시된 바와 같이, 두께 10 nm 이하의 금속 혹은 반도체 박막을 증착하며 증착 조건을 조절하여 5 nm 이하의 알갱이 모양의 나노미터 단위의 결정(25)들을 형성한다.

이와 같이 제작된 단일전자 트랜지스터에 있어서, 나노미터 단위의 결정들(25)을 아일랜드로 이용하게 되는데, 아일랜드와 아일랜드 사이에는 약 5 nm 이하의 빈공간(hole)이 있다. 이 빈공간이 터널장벽으로 작용하게 되며 비교적 작은 캐패시턴스(capacitance) 값을 갖게 되어 상온 작동이 가능하며 소스(22)와 드레인(23) 사이의 거리(즉 산화물막(24)의 폭)를 작게하여 아일랜드 숫자를 수 개로 제어하면 수십 마이크로 암페어(μA) 정도의 큰 전류값을 얻는다.

도 4는 본 발명에 따른 또 다른 단일전자 트랜지스터의 개략적인 수직 단면도이다. 도시된 바와 같이, 다른 실시예는, Si층의 두께가 50 nm 이하인 SOI(silicon on insulator) 기판(31)에서 Si층에 확산(diffusion) 혹은 이온 주입(ion-implantation) 공정이 실시되어 형성된 n-Si 혹은 p-Si의 소스(source)(32)와 드레인(drain)(33)이 구비되고, 그 사이에 동일한 두께의 SiO_2 산화층(34)이 수십 nm의 폭으로 형성되며, 이 산화층(24) 상에 나노미터(nm) 크기인 알갱이

(granular) 모양의 아일랜드(35)가 형성된 구조이다.

이상과 같은 구조의 단일전자 트랜지스터의 제조 방법은 다음과 같다.

먼저, Si층의 두께가 50 nm 이하인 SOI 기판(31)에서 Si층을 패터닝하여 도 5a에 도시된 바와 같이, 소스, 드레인, 게이트(gate)가 될 Si 패턴(31')을 형성한다.

다음에, 도 5b에 도시된 바와 같이, 소스와 드레인을 Si 패턴(31') 사이의 중간 위치에 수십nm 폭의 포토레지스트 패턴(36)을 형성하고 Si층에 확산(diffusion) 공정 혹은 이온 주입(ion-implantation) 공정을 통하여 μ -Si 혹은 p -Si의 소스(source)(32)와 드레인(drain)(33)을 형성한다. 이 때, n형 혹은 p형 불순물의 농도는 $10^{18}/\text{cm}^3$ 이 되도록 한다.

다음에, 포토레지스트 패턴(36)을 깨끗이 제거하고, 도 5c에 도시된 바와 같이, 소스와 드레인을 Si 패턴(31') 사이의 중간 위치에 수십nm 폭의 산화막(34)을 SPM(300)에 의해 형성하거나 혹은 리소그래피(lithography) 공정을 통해 산화로(oxidation furnace)에서 수십nm 폭의 산화막(34)을 형성한다.

다음에, 이와 같이 형성된 산화막(34)에, 도 5d에 도시된 바와 같이, 두께 10 nm 이하의 금속 혹은 반도체 박막을 증착하며 증착 조건을 조절하여 5 nm 이하의 알갱이 모양의 나노미터 단위의 결정(25)들을 형성한다. 이와 같이 제작된 단일전자 트랜지스터는 도 2의 단일전자 트랜지스터와 동일한 동작을 하게된다.

즉, 이상과 같은 방법으로 제작된 단일전자 트랜지스터에 있어서, 소스와 드레인 사이에 전압을 가하면 임의 전압에 이르러서야 전류가 흐른다. 이 때의 임의 전압을 쿨롱블러케이드 갭(Coulomb blockade gap) 전압이라 부르며 전류가 흐르지 않는 것은 전자 하나가 소스에서 아일랜드로 터널됨에 따라 아일랜드에 충전(charging)이 일어나 더 이상의 전자를 받아들일 수 없기 때문이다.

만약, 이 충전 에너지 보다 큰 에너지를 게이트에 공급하면 쿨롱블러케이드는 일어나지 않게되어 임의의 전류가 흐른다. 그러므로 소스와 드레인 사이의 전압을 쿨롱블러케이드 갭 전압 이하로 고정시키고 게이트 전압을 조절하면 기존의 3 단자 트랜지스터와 유사하게 스위칭(switching)이 일어난다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 단일전자 트랜지스터는 리프트-오프(Lift-off) 공정이나 식각(etching) 공정을 통해 얻은 금속 혹은 반도체 박막 세선(wire)에(패턴에) SPM(scanning probe microscopy)을 이용하여 수십nm 폭의 산화막을 형성한 후 그 산화막에 5 nm 이하의 알갱이(granular) 모양의 nm 단위의 결정립 들을 형성시켜 단일전자 트랜지스터를 제조함으로써, 이 들 nm 단위의 결정립들이 단일전자 트랜지스터의 아일랜드(island)로 작용하여 상온 작동이 가능하며, 제작이 용이하다. 또한, 터널 장벽이 공기이므로 터널 장벽의 열화가 없어 오랫동안 신뢰성 있는 소자로서 작동한다. 더욱이 소스와 드레인 사이를 수십 nm 크기로 제어할 수 있어 수십 마이크로 암페어 의 비교적 큰 전류값을 얻을 수 있다. 따라서 본 발명에 의해 제작된 단일전자 트랜지스터는 차세대 초고집적(1 Tb) 메모리(memory) 및 로직(logic)에 응용될 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판;

상기 반도체 기판 상에 적층된 절연층;

상기 절연층 상에 소정 두께 이하의 금속박막으로 형성된 소스 및 드레인;

상기 절연층 상의 상기 소스 및 드레인 사이에 소정의 폭을 갖도록 형성된 금속 산화물층;

상기 금속 산화물층 상에 형성된 소정 크기의 아일랜드들;을

구비하여 된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 2. 제1항에 있어서,

상기 반도체 기판은 Si 기판이고, 상기 절연층은 SiO₂로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 3. 제1항에 있어서,

상기 금속박막은 50 nm 이하의 두께로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 4. 제1항에 있어서,

상기 금속 산화물층은 수십 nm 이하의 폭으로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 5. 제1항에 있어서,

상기 아일랜드의 두께 및 크기는 각각 10nm 및 5 nm 이하이고 아일랜드 간의 간격이 5nm 이하인 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 6. (가) 절연층이 형성된 반도체 기판 상에 소정 두께 이하의 금속박막을 증착하고 패터닝하여 소자 형성용 금속 패턴을 형성하는 단계;

(나) 상기 소자 형성용 금속 패턴의 중앙부에 소정 폭을 산화시키는 금속 산화물층 형성단계; 및

(다) 상기 금속 산화물층 상에 소정 크기의 아일랜드들을 형성하는 단계;를

포함하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 7. 제6항에 있어서,

상기 반도체 기판은 Si 기판이고, 상기 절연층은 상기 Si 기판 표면을 산화시키거나 SiO₂를 증착하여 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 8. 제6항에 있어서,

상기 금속박막은 PVD법 혹은 CVD법으로 50 nm 이하의 두께로 증착하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 9. 제6항에 있어서,

상기 금속 패턴은 식각법 혹은 리프트-오프법으로 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 10. 제6항에 있어서,

상기 금속 산화물층은 상기 금속 박막을 SPM으로 산화시키거나 혹은 리소그래피법을 이용하여 산화로에서 산화시켜 수십 nm 이하의 폭으로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 11. 제6항에 있어서,

상기 아일랜드는 반도체 혹은 금속을 증착하면서 증착조건을 조절하여 두께 및 크기가 각각 10nm 및 5 nm 이하의 알갱이 모양으로 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 12. 반도체 기판;

상기 반도체 기판 상에 적층된 절연층;

상기 절연층 상에 소정 두께 이하의 반도체 박막에 소정 농도의 불순물을 도핑하여 형성된 소스 및 드레인;

상기 절연층 상의 상기 소스 및 드레인 사이에 소정의 폭을 갖도록 형성된 상기 반도체의 산화물층;

상기 산화물층 상에 형성된 소정 크기의 아일랜드들;

구비하여 된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 13. 제12항에 있어서,

상기 반도체 기판, 절연층 및 반도체 박막은 Si/SiO₂/Si가 순차로 적층된 SOI 기판으로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 14. 제12항에 있어서,

상기 반도체 박막은 50 nm 이하의 두께로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 15. 제12항에 있어서,

상기 소스 및 드레인은 상기 반도체 박막에 n형 혹은 p형 불순물이 10¹⁸/cm³ 농도로 도핑되어 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 16. 제12항에 있어서,

상기 반도체 산화물층은 수십 nm 이하의 폭으로 형성된 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 17. 제12항에 있어서,

상기 아일랜드의 두께 및 크기는 각각 10nm 및 5 nm 이하이고, 아일랜드 간의 간격이 5nm 이하인 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터.

청구항 18. 소정값 이하의 두께를 갖는 SOI 기판 상부의 Si층을 패터닝하여 소자 형성을 위한 Si 패턴을 형성하는 단계;

상기 Si 패턴의 소정 영역에 n형 불순물을 확산시켜 소스 및 드레인을 형성하는 단계;

상기 소스 및 드레인 사이에 소정 폭의 Si 패턴을 산화시켜 Si₃N₄층을 형성하는 단계;

상기 Si₃N₄층 상에 소정 크기의 아일랜드들을 형성하는 단계;를

포함하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 19. 제18항에 있어서,

상기 소스 및 드레인은 상기 Si 패턴의 소정 영역에 p형 불순물을 확산시켜 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 20. 제18항에 있어서,

상기 소스 및 드레인은 상기 Si 패턴의 소정 영역에 n형 혹은 p형 이온을 주입시켜 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 21. 제18항에 있어서,

상기 Si층은 50 nm 이하의 두께로 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 22. 제18항에 있어서,

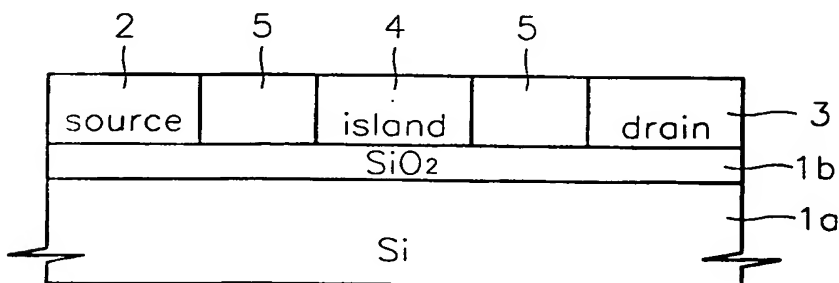
상기 Si₃N₄층은 상기 Si 패턴을 SPM으로 산화시키거나 리소그래피법을 이용하여 산화로 속에서 산화시켜 수십 nm 이하의 폭을 갖도록 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

청구항 23. 제18항에 있어서,

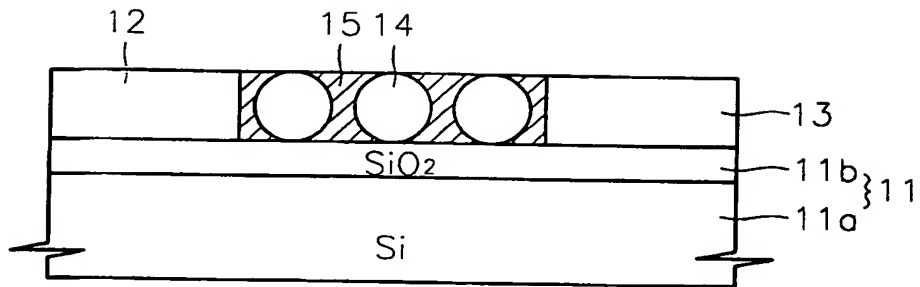
상기 아일랜드는 반도체 혹은 금속을 증착하면서 증착 조건을 조절하여 두께 및 크기가 각각 10nm 및 5 nm 이하인 알갱이 모양으로 형성하는 것을 특징으로 하는 산화공정을 이용한 단일전자 트랜지스터의 제조 방법.

도면

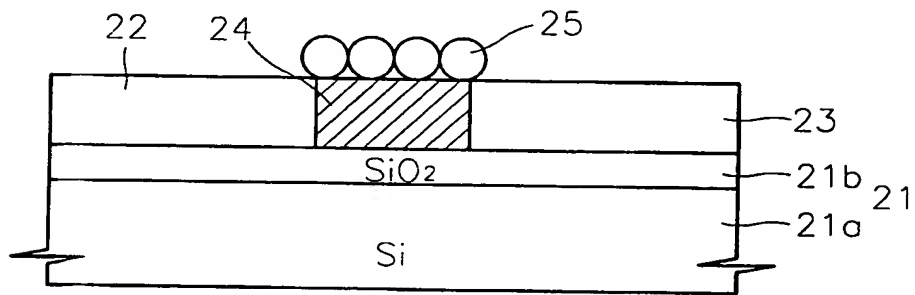
도면1.



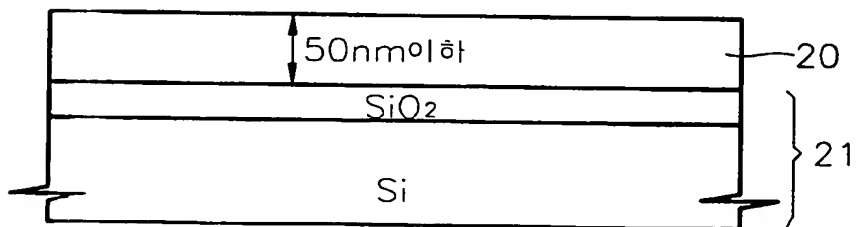
도면1



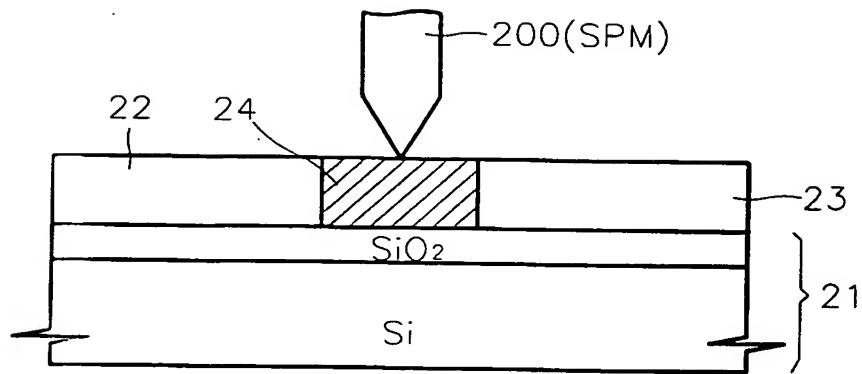
도면2



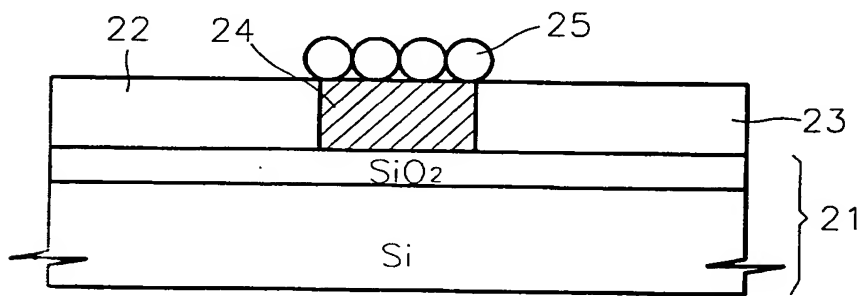
도면3



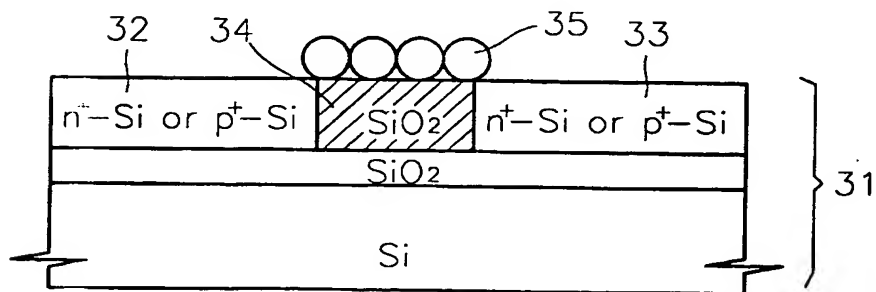
도면4



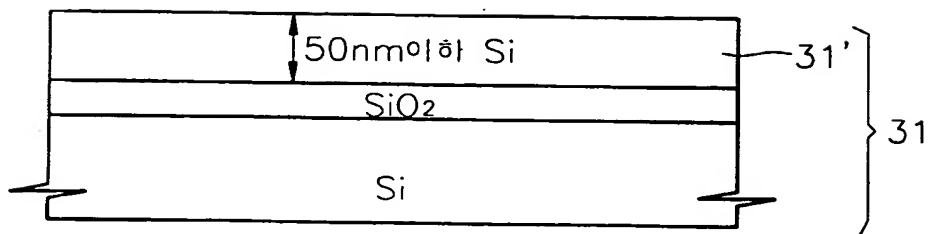
도면 3a



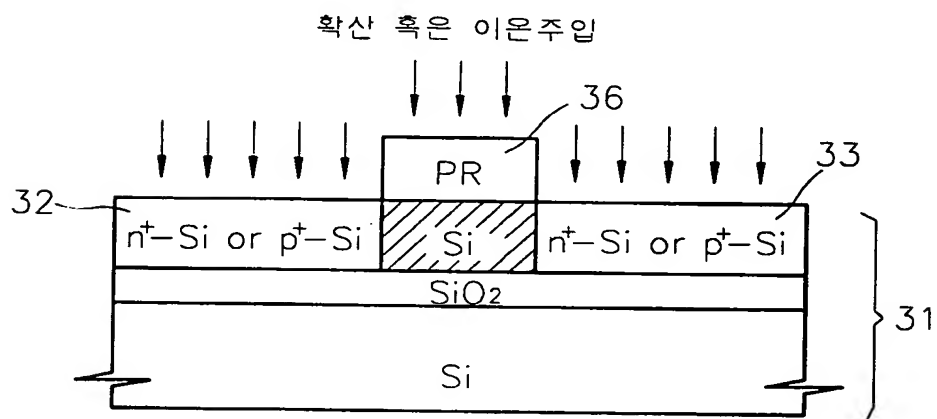
도면 4



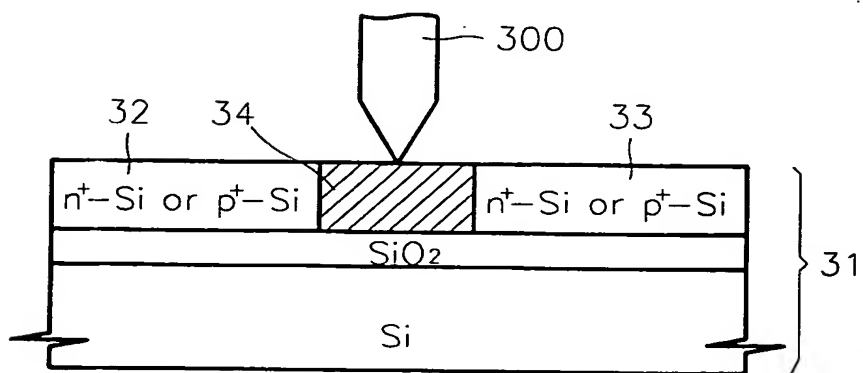
도면 5a



도면5



도면5a



도면51

